

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yukio HAYAKAWA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **September 16, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-273624, filed September 19, 2002

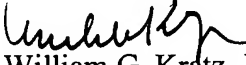
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP


William G. Kratz, Jr.
Attorney for Applicant
Reg. No. 22,631

WGK/jaz
Atty. Docket No. **031136**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月19日

出 願 番 号

Application Number:

特願2002-273624

[ST.10/C]:

[JP2002-273624]

出 願 人

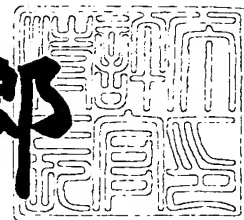
Applicant(s):

富士通エイ・エム・ディ・セミコンダクタ株式会社

2003年 1月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3002263

【書類名】 特許願

【整理番号】 0200030

【提出日】 平成14年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

 【氏名】 早川 幸夫

【特許出願人】

 【識別番号】 596180124

 【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0115175

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを含み、

前記ゲート電極は、

前記ゲート絶縁膜上に形成された第 1 の多結晶シリコン膜と、

前記第 1 の多結晶シリコン膜の上方に形成され、当該第 1 の多結晶シリコン膜とは異なる結晶状態であり、少なくとも上層がシリサイド化されてなる第 2 の多結晶シリコン膜と

を有することを特徴とする半導体装置。

【請求項 2】 前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との間に、前記第 1 の多結晶シリコン膜のシリサイド化を遮断する分離層を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶面方位を異ならしめることであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶粒径を異ならしめることであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 半導体基板上にゲート絶縁膜を介して第 1 の多結晶シリコン膜を形成する第 1 の工程と、

前記第 1 の多結晶シリコン膜の上方に当該第 1 の多結晶シリコン膜とは結晶状態が異なる第 2 の多結晶シリコン膜を形成する第 2 の工程と、

前記第 2 の多結晶シリコン膜の少なくとも上方をシリサイド化し、前記第 1 の多結晶シリコン膜と前記シリサイド化された前記第 2 の多結晶シリコン膜とを有するゲート電極を形成する第 3 の工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 前記第 1 の工程の後、前記第 2 の工程の前に、前記第 1 の多結晶シリコン膜上に、当該第 1 の多結晶シリコン膜のシリサイド化を遮断する分離層を形成する工程を有することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶面方位を異ならしめることであることを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 8】 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶粒径を異ならしめることであることを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 9】 前記第 2 の工程は、非結晶シリコン膜を堆積した後に、前記非結晶シリコン膜に熱処理を加えて、当該非結晶シリコン膜を結晶化させて前記第 2 の多結晶シリコン膜を形成することを特徴とする請求項 5 ～ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の多結晶シリコン膜の膜厚によって、前記シリサイド化を制御することを特徴とする請求項 5 ～ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、ゲート電極にシリサイド層を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の高集積化・微細化の要請に伴い、ゲート電極も更なる縮小の一途を辿っている。この場合、ゲート電極の抵抗値の低減化を図り、高速駆動を可能とする手法として、多結晶シリコンを材料とするゲート電極をシリサイド化する技術が広く採用されている。

【0003】

【特許文献 1】

特開平 1 0 - 2 0 9 2 9 6 号公報

【特許文献 2】

特開平 7 - 3 7 9 9 2 号公報

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら、半導体装置の微細化をさらに進展させていくと、CMOS トランジスタを作製する際のゲート電極のシリサイド化を行なうときに、以下に示すように、シリサイド層が形成される多結晶シリコン膜に起因した種々の問題が生じてくる。

【0 0 0 5】

まず、半導体装置の微細化に伴って、多結晶シリコン膜からなるゲート電極の電極幅が狭くなってくると、ゲート電極に形成される高融点金属シリサイド層の抵抗値が高くなる、いわゆる細線効果が生じるという問題がある。例えば、図 1 2 は、ゲート電極上にコバルトシリサイド層 (CoSi_2 層) を形成したときのその抵抗値の特性図を示しているが、ゲート電極幅が約 $0.1 \mu\text{m}$ 以下になると抵抗値が急激に高くなり、細線効果が顕著になっていることがわかる。

【0 0 0 6】

また、ゲート電極上に形成されたシリサイド層と多結晶シリコン膜との界面の凹凸は、熱処理等のストレスを加えた際にシリサイド層の凝縮を誘発し、シリサイド層の抵抗値のばらつきを増加させるという問題がある。さらに、ゲート電極上において局所的に過剰なシリサイド層が形成された場合、下地膜の多結晶にストレスが生じ、ゲート絶縁膜の劣化を招くという問題もある。

【0 0 0 7】

本発明は上述の問題点に鑑みてなされたものであり、細線効果によるゲート電極の抵抗値の増加を抑制するとともに、そのゲート電極の抵抗ばらつきを低減させ、かつゲート絶縁膜の劣化を防止する信頼性の高い半導体装置及びその製造方法を実現することを目的とする。

【0 0 0 8】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0009】

本発明の半導体装置は、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを含み、前記ゲート電極は、前記ゲート絶縁膜上に形成された第1の多結晶シリコン膜と、前記第1の多結晶シリコン膜の上方に形成され、当該第1の多結晶シリコン膜とは異なる結晶状態であり、少なくとも上層がシリサイド化されてなる第2の多結晶シリコン膜とを有することを特徴とするものである。

【0010】

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を介して第1の多結晶シリコン膜を形成する第1の工程と、前記第1の多結晶シリコン膜の上方に当該第1の多結晶シリコン膜とは結晶状態が異なる第2の多結晶シリコン膜を形成する第2の工程と、前記第2の多結晶シリコン膜の少なくとも上方をシリサイド化し、前記第1の多結晶シリコン膜と前記シリサイド化された前記第2の多結晶シリコン膜とを有するゲート電極を形成する第3の工程とを含むことを特徴とするものである。

【0011】

【発明の実施の形態】

ー本発明の半導体装置及びその製造方法の骨子ー

以下に、本発明の半導体装置及びその製造方法の骨子について説明する。

【0012】

前述したように、半導体装置の微細化の要請に伴ってゲート電極幅を狭くしていくと、ゲート電極上に形成されるシリサイド層の抵抗値が上昇する、いわゆる「細線効果」が問題となり、特にN型ゲート電極上で顕著に見られる。加えて、多結晶シリコン膜からなるゲート電極に形成されるシリサイド層には、シリコンの未反応部が数多く存在する。

【0013】

図13は、多結晶シリコン膜に形成されたコバルトシリサイド層の断面図であ

る。この図から、コバルトシリサイド層中に存在するシリコンの未反応部の大きさが約 $0.1 \mu\text{m}$ 程度であることがわかる。従来のゲート電極では、上述したシリコンの未反応部がシリサイド層に一様に存在しているため、ゲート電極幅が狭くなってくると、このシリコンの未反応部によって局部的な断線が生じる。これによって、コバルトシリサイド層をゲート電極に形成する場合には、図 1 2 に示すように、ゲート電極幅が約 $0.1 \mu\text{m}$ 以下になると、コバルトシリサイド層の抵抗値の上昇を招くことになる。

【 0 0 1 4 】

図 1 4 は、多結晶シリコン膜に形成されたコバルトシリサイド層の形成状態を透過型電子顕微鏡 (TEM) にて観察した断面図である。この図から、局所的に過剰なシリサイド層が形成されて、シリサイド層の凹凸が生じているのがわかる。このシリサイド層の凹凸は、熱処理等のストレスを加えた際の凝縮により、シリサイド層の抵抗値のばらつきを増加させることになる。さらに、過剰なシリサイド反応によって多結晶シリコン膜中の格子定数が局所的に変動して多結晶シリコン膜中にストレスを生じさせて、ゲート絶縁膜の劣化を誘発することにもつながる。

【 0 0 1 5 】

このように、多結晶シリコン膜のシリサイド化は、シリサイド層におけるシリコンの未反応部の発生や過剰なシリサイド層形成により、問題をより煩雑化させている。

【 0 0 1 6 】

そこで、本発明者は、シリコンの未反応部の発生や過剰なシリサイド層形成を抑制する手段として、結晶状態、例えば結晶面方位や結晶粒径の異なる 2 層構造の多結晶シリコン膜からなるゲート電極の半導体装置を案出した。

【 0 0 1 7 】

図 1 に、本発明の骨子を説明する半導体装置の概略図を示す。

この半導体装置には、半導体基板 1 上にゲート絶縁膜 5 を介して形成された第 1 の多結晶シリコン膜 2 2 と、分離層 2 3 を介して形成され、第 1 の多結晶シリコン膜 2 2 とは結晶面方位や結晶粒径等の結晶状態が異なる第 2 の多結晶シリコ

ン膜 2 5 との 2 層構造からなるゲート電極を備えている。

【 0 0 1 8 】

このように、第 1 の多結晶シリコン膜 2 2 に対して、所定の結晶面方位を配向した、結晶粒径の小さい第 2 の多結晶シリコン膜 2 5 を第 1 の多結晶シリコン膜 2 2 の上方に構成することで、シリサイド層を形成するときに、シリサイド反応の速度が異なる部分が局所的に存在しても、第 1 の多結晶シリコン膜 2 2 との反応を遅延させて、第 2 の多結晶シリコン膜の未反応部分とのシリサイド反応を行なわせることができる。これにより、シリコンの未反応部及び凹凸の発生を低減したシリサイド層を形成することができる。

【 0 0 1 9 】

シリサイド層を形成する第 2 の多結晶シリコン膜 2 5 については、膜質改善に取り組み、シリサイド層と格子定数のミスマッチが少ない結晶面方位を有した多結晶シリコン膜が必要であることを案出した。例えば、シリサイド層がコバルトシリサイド層である場合には、特に、シリコン結晶面方位 (1 1 1) は、格子定数が 3 1 . 8 3 n m であり、格子定数が 3 0 . 8 0 n m であるコバルトシリサイド結晶面方位 (1 1 1) とのミスマッチが少なく、コバルトシリサイドの形成を良好に行なうことができる。そこで、シリサイド層を形成する第 2 の多結晶シリコン膜 2 5 として、シリコン結晶面方位 (1 1 1) に配向し易い多結晶シリコン膜とすることが必要であり、この多結晶シリコン膜の形成手法として、非結晶シリコン膜を熱処理により結晶化する方法を案出した。

【 0 0 2 0 】

図 3 (a) に示すように、非結晶シリコン膜を結晶化させて形成した多結晶シリコン膜は、通常が多結晶シリコン膜に比べて、シリコン結晶面方位 (1 1 1) が配向しやすい結果となっている。そして、このようなシリコン結晶面方位 (1 1 1) が配向した第 2 の多結晶シリコン膜 2 5 では、シリサイド反応が促進されて、シリコンの未反応が起こりにくくなり、図 3 (b) の抵抗値特性に示すように、通常が多結晶シリコン膜よりも低抵抗なコバルトシリサイド層を形成することができる。

【 0 0 2 1 】

第2の多結晶シリコン膜25を形成するには、第1の多結晶シリコン膜22上に極めて薄く、均一な分離層23を形成する必要がある。この分離層23としては、例えば塩酸等の薬液処理によって膜厚0.2nm~1.0nm程度に薄く形成された酸化膜層などが挙げられる。この分離層23を有することで、CVD法によって第2の多結晶シリコン膜25を形成する際に、第1の多結晶シリコン膜22を核として第2の多結晶シリコン膜25が成長してしまうのを防止できる。

【0022】

また、分離層23は、高融点金属のシリサイド反応を制御することもできる。例えば分離層23が酸化膜で形成されているときに、高融点金属としてコバルトを用いたコバルトシリサイド層の形成において、コバルト原子自身に酸化膜への還元能力がないことから、この酸化膜により第1の多結晶シリコン膜22とのシリサイド反応を遮断して、第2の多結晶シリコン膜25のみにシリサイド層を形成することができる。これにより、第2の多結晶シリコン膜25の膜厚によって形成されるシリサイド層の厚さを制御することが可能となる。

【0023】

続いて、図2に、図1で示した半導体装置に高融点金属を堆積したときのシリサイド反応の進行について示す。以下、シリサイド層を形成するための高融点金属として、コバルトを用いた例で説明する。

【0024】

図2(a)に示すように、図1に示した半導体装置のゲート電極にコバルト28が堆積されると、シリサイド反応が起こり、第2の多結晶シリコン膜25にコバルトシリサイド層(CoSi₂膜)26が形成される。ここで、形成されたコバルトシリサイド層には、局所的にシリサイド反応の異なる箇所Gが存在している。

【0025】

続いて、図2(b)に示すように、シリサイド反応が進行して、分離層23まで形成されたコバルトシリサイド層26が複数箇所が存在する。

【0026】

続いて、図2(c)に示すように、さらにシリサイド反応が進行すると、分離

層 2 3 で遮断されるために第 1 の多結晶シリコン膜 2 2 にはコバルトシリサイド層 2 6 が形成されずに、第 2 の多結晶シリコン膜 2 5 の未反応部分にコバルトシリサイド層 2 6 が形成される。

【 0 0 2 7 】

ところで、特開平 1 0 - 2 0 9 2 9 6 号公報の『半導体装置及びその製造方法』では、「ゲート電極が、下層の多結晶シリコン膜と上層の非結晶シリコン膜とからなる 2 層膜構造」を開示しているが、本発明では、第 1 の多結晶シリコン膜と、その上方に第 1 の多結晶シリコン膜とは結晶状態の異なる第 2 の多結晶シリコン膜との 2 層膜構造のゲート電極を提案しており、上層を多結晶シリコン膜で構成している点で異なる。

【 0 0 2 8 】

また、特開平 7 - 3 7 9 9 2 号公報の『半導体装置の製造方法』では、「素子分離領域及びゲート絶縁膜が形成された半導体基板上にアモルファスシリコン層を形成する工程と、…、熱処理することによって前記アモルファスシリコン層を多結晶シリコン層にする工程と、この多結晶シリコン層上に金属シリサイド層を形成した後、…」を開示しているが、本発明では、ゲート絶縁膜上に第 1 の多結晶シリコン膜を形成した後、非結晶シリコン膜を堆積し、熱処理によって非結晶シリコン膜を結晶化させて第 2 の多結晶シリコン膜を形成して、2 層構造のゲート電極とする点が異なる。即ち、本発明が解決しようとしている問題の 1 つであるシリサイド反応の制御は、2 層構造ならではの発明であり、特開平 7 - 3 7 9 9 2 号公報で記載されている単層構造のゲート電極とは、明らかにその構成が異なる。

【 0 0 2 9 】

次に、添付図面を参照しながら、本発明の半導体装置及びその製造方法の骨子を踏まえた諸実施形態について説明する。

【 0 0 3 0 】

本実施形態では、半導体装置として CMOS 型トランジスタを開示する。

図 4 は、本発明の実施形態における CMOS 型トランジスタの概略構成図である。

【 0 0 3 1 】

ー本実施形態のCMOS型トランジスタの構成ー

本実施形態のCMOS型トランジスタは、図4に示すように、シリコン（Si）からなる半導体基板1と、NMOSトランジスタ100とPMOSトランジスタ200との素子活性領域を画定するSTI（Shallow Trench Isolation）2と、NMOSトランジスタ100を作製する領域に形成されたP型ウェル3と、PMOSトランジスタ200を作製する領域に形成されたN型ウェル4と、半導体基板1上に形成されたゲート絶縁膜5と、ゲート絶縁膜5上に所定形状で形成されたゲート電極6と、ゲート電極6の側壁に保護膜として形成されたサイドウォール7と、NMOSトランジスタ100を作製する領域の半導体基板1の表層に形成されたソース8及びドレイン9と、PMOSトランジスタ200を作製する領域の半導体基板1の表層に形成されたソース10及びドレイン11と、各配線層を電氣的に絶縁分離する層間絶縁膜12と、層間絶縁膜12中のコンタクトホールに埋め込まれたタングステン・プラグ13とを備えている。

【 0 0 3 2 】

ゲート電極6は、第1の多結晶シリコン膜22と、第1の多結晶シリコン膜22上に極めて薄く、かつ均一に形成されたケミカル酸化膜（分離層）23と、ケミカル酸化膜23上に形成され、コバルトシリサイド層（ CoSi_2 層）26が形成されている第2の多結晶シリコン膜25とで形成されている。また、本実施形態においては、第2の多結晶シリコン膜25が全てコバルトシリサイド層26となってもよい。

【 0 0 3 3 】

第2の多結晶シリコン膜25は、第1の多結晶シリコン膜22と比べて、コバルトシリサイド層とマッチングがよいシリコン結晶面方位（111）を多く有し、また、結晶粒径が小さく形成されている。このように、第2の多結晶シリコン膜25を形成することで、シリコンの未反応部を低減した良質なコバルトシリサイド層26を形成することができるとともに、仮に局所的にシリサイド形成速度が異なった場合でも、第1の多結晶シリコン膜22とのシリサイド反応よりも第2の多結晶シリコン膜25の未反応部分とのシリサイド反応を早めることができ

、コバルトシリサイド層と多結晶シリコン膜との界面の凹凸を少なくすることができる。

【 0 0 3 4 】

ケミカル酸化膜 2 3 は、第 2 の多結晶シリコン膜 2 5 と第 1 の多結晶シリコン膜 2 2 とを分離するための分離層として形成されるものである。このケミカル酸化膜 2 3 によって、第 2 の多結晶シリコン膜 2 5 がコバルトとのシリサイド反応を起こし、局所的にその反応速度が異なる場合でも、第 1 の多結晶シリコン膜 2 2 とのシリサイド反応をブロックしてシリサイド層の形成を均一に制御することができる。

【 0 0 3 5 】

また、NMOS トランジスタ 1 0 0 のソース 8 とドレイン 9 及び NMOS トランジスタ 2 0 0 のソース 1 0 とドレイン 1 1 には、その表面にコバルトシリサイド層 8 b、9 b、1 0 b、1 1 b が形成されており、本実施形態の CMOS トランジスタはシリサイド (Self Align Silicide) 構造で形成されている。

【 0 0 3 6 】

ー本実施形態における CMOS 型トランジスタの第 1 の製造方法ー

次に、本発明の実施形態における CMOS 型トランジスタの第 1 の製造方法を説明する。

図 5 ～図 7 は、図 4 における CMOS 型トランジスタの第 1 の製造方法を工程順に示した概略断面図である。

【 0 0 3 7 】

まず、図 5 (a) に示すように、シリコン (S i) からなる半導体基板 1 に、STI (Shallow Trench Isolation) 2 を形成して素子活性領域を画定した後、NMOS トランジスタ 1 0 0 を作製する領域に、例えばホウ素 (B) を注入して P 型ウェル 3 を形成し、さらに、PMOS トランジスタ 2 0 0 を作製する領域に、例えば砒素 (A s) を注入して N 型ウェル 4 を形成する。

【 0 0 3 8 】

続いて、半導体基板 1 の表面を温度 8 5 0 ℃ ～ 1 0 5 0 ℃ の温度条件で高温加熱して、シリコン酸化膜 (S i O₂ 膜) 2 1 を膜厚 5 n m ～ 1 0 n m で形成する

。その後、シリコン酸化膜 2 1 上に、C V D 法にて第 1 の多結晶シリコン膜 2 2 を膜厚 1 0 0 n m ~ 2 0 0 n m で堆積する。

【 0 0 3 9 】

続いて、図 5 (c) に示すように、過酸化水素水等の薬液処理をおこなって、第 1 の多結晶シリコン膜 2 2 上にケミカル酸化膜 2 3 を膜厚 0 . 2 n m ~ 1 . 0 n m で形成する。薬液処理によってケミカル酸化膜 2 3 を形成することにより、熱を加えることなく、膜厚が均一で、かつ極薄の膜を形成することができる。その後、ケミカル酸化膜 2 3 上に、C V D 法にて非結晶シリコン膜 (アモルファスシリコン膜) 2 4 を膜厚 5 n m ~ 5 0 n m で堆積する。

【 0 0 4 0 】

続いて、図 5 (d) に示すように、フォトリソグラフィーにより非結晶シリコン膜 2 4 上にレジストパターン 3 1 を形成した後、レジストパターン 3 1 をマスクとしてドライエッチングを行ない、所定形状からなる非結晶シリコン膜 2 4 、ケミカル酸化膜 2 3 及び第 1 の多結晶シリコン膜 2 2 と、シリコン酸化膜 2 1 からなるゲート絶縁膜 5 を形成する。

【 0 0 4 1 】

続いて、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 1 を除去した後、図 6 (a) に示すように、C V D 法により全面にシリコン酸化膜 (T E O S) 2 7 を膜厚 1 0 0 n m ~ 2 0 0 n m で堆積する。

【 0 0 4 2 】

続いて、図 6 (b) に示すように、シリコン酸化膜 2 7 の全面を反応性イオンエッチング (R I E) 等により異方性エッチング (エッチバック) し、シリコン酸化膜 2 7 を非結晶シリコン膜 2 4 、ケミカル酸化膜 2 3 、第 1 の多結晶シリコン膜 2 2 及びシリコン酸化膜 2 1 の両側面のみに残してサイドウォール 7 を形成する。

【 0 0 4 3 】

続いて、図 6 (c) に示すように、フォトリソグラフィーにより P M O S トランジスタ 2 0 0 を作製する領域をマスクするレジストパターン 3 2 を形成して、全面に砒素 (A s) を加速エネルギー 2 k e V ~ 1 5 k e V 、半導体基板 1 の表

面に対する垂直方向からの傾斜角 0° 程度、ドーズ量 $1 \times 10^{14} / \text{cm}^2 \sim 8 \times 10^{14} / \text{cm}^2$ の条件でイオン注入を行ない、N型拡散層 8 a、9 a を形成する。

【 0 0 4 4 】

続いて、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 2 を除去した後、図 6 (d) に示すように、フォトリソグラフィーにより NMOS トランジスタ 1 0 0 を作製する領域をマスクするレジストパターン 3 3 を形成して、全面にリン (P) を加速エネルギー $15 \text{ keV} \sim 25 \text{ keV}$ 、傾斜角 0° 程度、ドーズ量 $2 \times 10^{13} / \text{cm}^2 \sim 8 \times 10^{14} / \text{cm}^2$ の条件でイオン注入を行ない、P 型拡散層 1 0 a、1 1 a を形成する。

【 0 0 4 5 】

続いて、 O_2 プラズマを用いた灰化处理等によりレジストパターン 3 3 を除去した後、図 7 (a) に示すように、半導体基板 1 の表面を温度 $950^\circ\text{C} \sim 1050^\circ\text{C}$ 、時間 10 秒のアニールを行なって、イオン注入した不純物の活性化を行なうとともに、非結晶シリコン膜 2 4 を結晶化して、第 1 の多結晶シリコン膜 2 2 とは結晶粒径や配向性の異なる第 2 の多結晶シリコン膜 2 5 を形成する。

【 0 0 4 6 】

続いて、図 7 (b) に示すように、スパッタリング法により全面に高融点金属膜であるコバルト薄膜 (Co 薄膜) 2 8 を膜厚 $5 \text{ nm} \sim 15 \text{ nm}$ で堆積する。また、このとき、不図示のキャップ層としての窒化チタン膜 (TiN) も堆積する。

【 0 0 4 7 】

続いて、図 7 (c) に示すように、2 段階アニールによってコバルトシリサイド層 8 b、9 b、1 0 b、1 1 b、2 6 を自己整合的に形成する。ここで、2 段階アニールによるコバルトシリサイド層 8 b、9 b、1 0 b、1 1 b、2 6 の形成は、例えば 1 番目のアニールとして温度 520°C 、時間 30 秒のアニールを行なった後、アンモニア過水等を用いて未反応なコバルト薄膜 2 8 と不図示の窒化チタン膜 (TiN) を除去し、2 番目のアニールとして温度 840°C 、時間 30 秒のアニールを行なう。これにより、第 1 の多結晶シリコン膜 2 2、ケミカル酸

化膜 2 3、コバルトシリサイド層 2 6 を上面に有する第 2 の多結晶シリコン膜 2 5 からなるゲート電極 6 が形成される。さらに、NMOS トランジスタ 1 0 0 を作製する領域には、N 型拡散層 8 a の上面にコバルトシリサイド層 8 b を備えるソース 8 と、N 型拡散層 9 a の上面にコバルトシリサイド層 9 b を備えるドレイン 9 とが形成され、PMOS トランジスタ 2 0 0 を作製する領域には、P 型拡散層 1 0 a の上面にコバルトシリサイド層 1 0 b を備えるソース 1 0 と、P 型拡散層 1 1 a の上面にコバルトシリサイド層 1 1 b を備えるドレイン 1 1 とが形成される。

【 0 0 4 8 】

続いて、図 7 (d) に示すように、CVD 法によって層間絶縁膜 1 2 を堆積し、ドライエッチングにより層間絶縁膜 1 2 中に引き出し電極用のコンタクトホールを形成する。そして、CVD 法によって全面にタングステン (W) を堆積させた後、CMP で表面を研磨し、コンタクトホールに埋め込まれたタングステン・プラグ 1 3 を形成する。

【 0 0 4 9 】

しかる後に、タングステン・プラグ 1 3 に接続する引き出し電極を形成した後、さらに、デバイスを保護するための表面保護膜 (パシベーション保護膜) を形成して、本実施形態の CMOS 型トランジスタを完成させる。

【 0 0 5 0 】

ー本実施形態における CMOS 型トランジスタの第 2 の製造方法ー

次に、本発明の実施形態における CMOS 型トランジスタの第 2 の製造方法を説明する。第 2 の製造方法では、高温加熱を行なって非結晶シリコン膜 2 4 を結晶化して第 2 の多結晶シリコン膜 2 5 の形成を、レジストを用いてパターニングする前に行なったものである。なお、第 1 の製造方法で説明した構成要素等については同符号を記す。

【 0 0 5 1 】

第 2 の製造方法では、まず図 5 (a) ~ (c) の各工程を経る。

【 0 0 5 2 】

続いて、図 8 (a) に示すように、半導体基板 1 の表面を温度 9 5 0 °C ~ 1 0

50℃、時間10秒のアニールを行なって、非結晶シリコン膜24を結晶化して、第1の多結晶シリコン膜22とは結晶粒径や配向性の異なる第2の多結晶シリコン膜25を形成する。

【0053】

続いて、図8(b)に示すように、フォトリソグラフィーにより第2の多結晶シリコン膜25上にレジストパターン31を形成した後、レジストパターン31をマスクとしてドライエッチングを行ない、所定形状からなる第2の多結晶シリコン膜25、ケミカル酸化膜23及び第1の多結晶シリコン膜22と、シリコン酸化膜21からなるゲート絶縁膜5を形成する。

【0054】

続いて、O₂プラズマを用いた灰化处理等によりレジストパターン31を除去した後、図8(c)に示すように、CVD法により全面にシリコン酸化膜(TEOS)27を膜厚100nm～200nmで堆積する。

【0055】

続いて、図8(d)に示すように、シリコン酸化膜27の全面を反応性イオンエッチング(RIE)等により異方性エッチング(エッチバック)し、シリコン酸化膜27を第2の多結晶シリコン膜25、ケミカル酸化膜23、第1の多結晶シリコン膜22及びシリコン酸化膜21の両側面のみに残してサイドウォール7を形成する。

【0056】

続いて、図9(a)に示すように、フォトリソグラフィーによりPMOSトランジスタ200を作製する領域をマスクするレジストパターン32を形成して、全面に砒素(As)を加速エネルギー2keV～15keV、傾斜角0°程度、ドーズ量 $1 \times 10^{14} / \text{cm}^2 \sim 8 \times 10^{14} / \text{cm}^2$ の条件でイオン注入を行ない、N型拡散層8a、9aを形成する。

【0057】

続いて、O₂プラズマを用いた灰化处理等によりレジストパターン32を除去した後、図9(b)に示すように、フォトリソグラフィーによりNMOSトランジスタ100を作製する領域をマスクするレジストパターン33を形成して、全

面にリン (P) を加速エネルギー $15\text{ keV} \sim 25\text{ keV}$ 、傾斜角 0° 程度、ドーズ量 $2 \times 10^{13} / \text{cm}^2 \sim 8 \times 10^{14} / \text{cm}^2$ の条件でイオン注入を行ない、P 型拡散層 10a、11a を形成する。

【 0 0 5 8 】

続いて、 O_2 プラズマを用いた灰化处理等によりレジストパターン 33 を除去した後、図 9 (c) に示すように、半導体基板 1 の表面を温度 $950^\circ\text{C} \sim 1050^\circ\text{C}$ 、時間 10 秒のアニールを行なって、イオン注入した不純物の活性化を行なう。

【 0 0 5 9 】

続いて、図 7 (b) ～図 7 (d) の各工程を経る。

【 0 0 6 0 】

しかる後に、タングステン・プラグ 13 に接続する引き出し電極を形成した後、さらに、デバイスを保護するための表面保護膜 (パシベーション保護膜) を形成して、本実施形態の CMOS 型トランジスタを完成させる。

【 0 0 6 1 】

本実施形態においては、高融点金属シリサイドとして、コバルトシリサイドを用いたものを開示しているが、本発明はこれに限定されるものではなく、例えばチタンシリサイド、ニッケルシリサイド、白金シリサイドを適用することも可能である。また、第 2 の多結晶シリコン膜 25 の膜厚を、例えばコバルトシリサイドであればその厚さの 3.5 倍以下、チタンシリサイドであればその厚さの 2.5 倍以下、ニッケルシリサイドであればその厚さの 3.6 倍以下、白金シリサイドであればその厚さの 2.0 倍以下とすると、第 2 の多結晶シリコン膜 25 の膜厚によって形成されるシリサイドの膜厚を制御することができる。

【 0 0 6 2 】

また、本実施形態においては、第 2 の多結晶シリコン膜 25 と第 1 の多結晶シリコン膜 22 との結晶面方位、結晶粒径を異ならしめるために形成される分離層として、ケミカル酸化膜 23 を用いたものを開示しているが、本発明はこれに限定されるものではなく、多結晶シリコン膜以外のもので形成され、前述の主機能を満足するものであれば適用することが可能であり、例えば、導電体等からなる

もので形成されていてもよい。

【 0 0 6 3 】

ー本実施形態のCMOS型トランジスタの特性検証結果ー

図10は、本実施形態のCMOS型トランジスタにおけるゲート電極に形成されたコバルトシリサイド層の表面図である。比較のために、多結晶シリコン膜の単層における場合の表面図も掲載する。この図10により、単層の多結晶シリコン膜の場合には、シリサイド層中にシリコンの未反応による形成不良が存在するが、多結晶シリコン膜を2層とした本実施形態のCMOS型トランジスタでは、この形成不良が見当たらず、シリサイド層を良好に形成することができることが実証できた。

【 0 0 6 4 】

図11は、本実施形態のCMOS型トランジスタにおけるゲート電極に形成されたコバルトシリサイド層の抵抗値の特性図である。図12に示した従来例におけるCMOS型トランジスタの場合と比較すると、100nm(0.1 μ m)以下において、従来のCMOS型トランジスタでは単位面積あたり10 Ω 以上と急激に抵抗値が上昇してしまうのに対して、本実施形態のCMOS型トランジスタでは、単位面積あたり6 Ω 以下となっており、シリサイド層の抵抗値の線幅依存性、いわゆる細線効果を抑制することができることが実証できた。また、第2の多結晶シリコン膜25の膜厚に依存して、シリサイド層の抵抗値の変化(25nmと35nm)が見られることから、第2の多結晶シリコン膜25の膜厚によってシリサイド反応を制御することができることが実証できた。

【 0 0 6 5 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 0 6 6 】

(付記1) 半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極とを含み、

前記ゲート電極は、

前記ゲート絶縁膜上に形成された第1の多結晶シリコン膜と、

前記第 1 の多結晶シリコン膜の上方に形成され、当該第 1 の多結晶シリコン膜とは異なる結晶状態であり、少なくとも上層がシリサイド化されてなる第 2 の多結晶シリコン膜と

を有することを特徴とする半導体装置。

【 0 0 6 7 】

(付記 2) 前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との間に、前記第 1 の多結晶シリコン膜のシリサイド化を遮断する分離層を有することを特徴とする付記 1 に記載の半導体装置。

【 0 0 6 8 】

(付記 3) 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶面方位を異ならしめることであることを特徴とする付記 1 又は 2 に記載の半導体装置。

【 0 0 6 9 】

(付記 4) 前記第 2 の多結晶シリコン膜のシリコン結晶面方位 (1 1 1) の比率が前記第 1 の多結晶シリコン膜のものよりも大きいことを特徴とする付記 3 に記載の半導体装置。

【 0 0 7 0 】

(付記 5) 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶粒径を異ならしめることであることを特徴とする付記 1 又は 2 に記載の半導体装置。

【 0 0 7 1 】

(付記 6) 前記第 2 の多結晶シリコン膜の結晶粒径が前記第 1 の多結晶シリコン膜のものよりも小さいことを特徴とする付記 5 に記載の半導体装置。

【 0 0 7 2 】

(付記 7) 前記シリサイド化により、コバルトシリサイド層、チタンシリサイド層、ニッケルシリサイド層、白金シリサイド層のいずれかの層が前記第 2 の多結晶シリコン膜に形成されていることを特徴とする付記 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【 0 0 7 3 】

(付記 8) 半導体基板上にゲート絶縁膜を介して第 1 の多結晶シリコン膜を形成する第 1 の工程と、

前記第 1 の多結晶シリコン膜の上方に当該第 1 の多結晶シリコン膜とは結晶状態が異なる第 2 の多結晶シリコン膜を形成する第 2 の工程と、

前記第 2 の多結晶シリコン膜の少なくとも上方をシリサイド化し、前記第 1 の多結晶シリコン膜と前記シリサイド化された前記第 2 の多結晶シリコン膜とを有するゲート電極を形成する第 3 の工程と

を含むことを特徴とする半導体装置の製造方法。

【 0 0 7 4 】

(付記 9) 前記第 1 の工程の後、前記第 2 の工程の前に、前記第 1 の多結晶シリコン膜上に、当該第 1 の多結晶シリコン膜のシリサイド化を遮断する分離層を形成する工程を有することを特徴とする付記 8 に記載の半導体装置の製造方法。

【 0 0 7 5 】

(付記 1 0) 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶面方位を異ならしめることであることを特徴とする付記 8 又は 9 に記載の半導体装置の製造方法。

【 0 0 7 6 】

(付記 1 1) 前記第 2 の多結晶シリコン膜のシリコン結晶面方位 (1 1 1) の比率を前記第 1 の多結晶シリコン膜のものよりも大きく形成することを特徴とする付記 1 0 に記載の半導体装置の製造方法。

【 0 0 7 7 】

(付記 1 2) 前記異なる結晶状態とは、前記第 1 の多結晶シリコン膜と前記第 2 の多結晶シリコン膜との結晶粒径を異ならしめることであることを特徴とする付記 8 又は 9 に記載の半導体装置の製造方法。

【 0 0 7 8 】

(付記 1 3) 前記第 2 の多結晶シリコン膜の結晶粒径を前記第 1 の多結晶シリコン膜のものよりも小さく形成することを特徴とする付記 1 2 に記載の半導体装置の製造方法。

【 0 0 7 9 】

(付記 1 4) 前記第 2 の工程は、非結晶シリコン膜を堆積した後に、前記非結晶シリコン膜に熱処理を加えて、当該非結晶シリコン膜を結晶化させて前記第 2 の多結晶シリコン膜を形成することを特徴とする付記 8 ～ 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 8 0 】

(付記 1 5) 前記第 2 の多結晶シリコン膜の膜厚によって、前記シリサイド化を制御することを特徴とする付記 8 ～ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 8 1 】

(付記 1 6) 前記シリサイド化により、コバルトシリサイド層、チタンシリサイド層、ニッケルシリサイド層、白金シリサイド層のいずれかの層を前記第 2 の他結晶シリコン膜に形成することを特徴とする付記 8 ～ 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 8 2 】

【発明の効果】

本発明によれば、シリサイド層をゲート電極に良好かつ均一に形成することができるため、細線効果によるゲート電極の抵抗値増加を抑制するとともに、ゲート電極の抵抗ばらつきを低減させ、かつゲート絶縁膜の劣化を防止する信頼性の高い半導体装置及びその製造方法を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の主要原理を説明する概略図である。

【図 2】

図 1 に示した半導体装置のゲート電極におけるシリサイド反応を示した概略図である。

【図 3】

各種シリコン膜の特性図である。

【図 4】

本発明の実施形態における CMOS 型トランジスタの概略断面図である。

【図 5】

図 4 に示した実施形態における CMOS 型トランジスタの第 1 の製造方法を工程順に示す概略断面図である。

【図 6】

図 5 に引き続き、図 4 に示した実施形態における CMOS 型トランジスタの第 1 の製造方法を工程順に示す概略断面図である。

【図 7】

図 6 に引き続き、図 4 に示した実施形態における CMOS 型トランジスタの第 1 の製造方法を工程順に示す概略断面図である。

【図 8】

図 4 に示した実施形態における CMOS 型トランジスタの第 2 の製造方法を工程順に示す概略断面図である。

【図 9】

図 5 に引き続き、図 4 に示した実施形態における CMOS 型トランジスタの第 2 の製造方法を工程順に示す概略断面図である。

【図 1 0】

多結晶シリコン膜に形成されたシリサイド層の表面状態を示す顕微鏡写真である。

【図 1 1】

本実施形態の CMOS 型トランジスタにおけるゲート電極に形成されたコバルトシリサイド層の抵抗値の特性図である。

【図 1 2】

従来の半導体装置のゲート電極上にコバルトシリサイド層 (CoSi_2 層) を形成したときのその抵抗値の特性図である。

【図 1 3】

多結晶シリコン膜に形成されたコバルトシリサイド層の形成不良箇所の表面状態を示す顕微鏡写真である。

【図 1 4】

多結晶シリコン膜に形成されたコバルトシリサイド層の表面状態を示す顕微鏡

写真である。

【符号の説明】

- 1 半導体基板
- 2 S T I
- 3 P型ウェル
- 4 N型ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 サイドウォール
- 8 ソース
- 8 a N型拡散層
- 8 b コバルトシリサイド層 (C o S i ₂層)
- 9 ドレイン
- 9 a N型拡散層
- 9 b コバルトシリサイド層 (C o S i ₂層)
- 1 0 ソース
- 1 0 a P型拡散層
- 1 0 b コバルトシリサイド層 (C o S i ₂層)
- 1 1 ドレイン
- 1 1 a P型拡散層
- 1 1 b コバルトシリサイド層 (C o S i ₂層)
- 1 2 層間絶縁膜
- 1 3 タングステン・プラグ
- 2 1 シリコン酸化膜 (S i O ₂膜)
- 2 2 第1の多結晶シリコン膜
- 2 3 ケミカル酸化膜
- 2 4 非結晶シリコン膜 (アモルファスシリコン膜)
- 2 5 第2の多結晶シリコン膜
- 2 6 コバルトシリサイド層 (C o S i ₂膜)

2 7 シリコン酸化膜 (T E O S)

2 8 コバルト薄膜 (C o 薄膜)

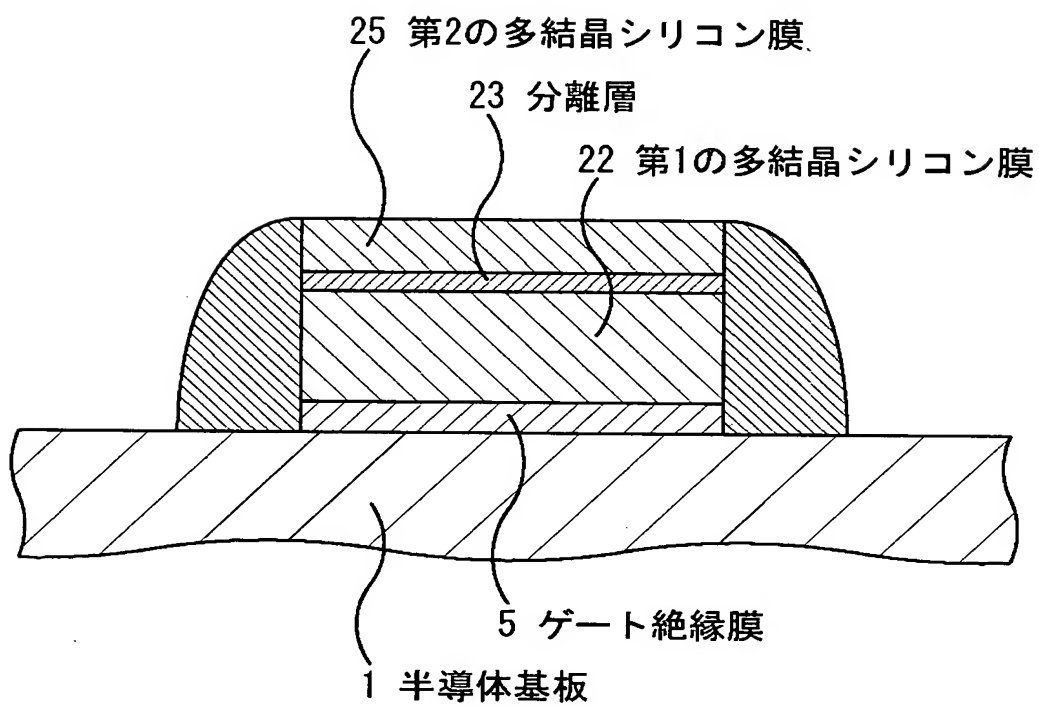
3 1、3 2、3 3 レジストパターン

1 0 0 N M O S トランジスタ

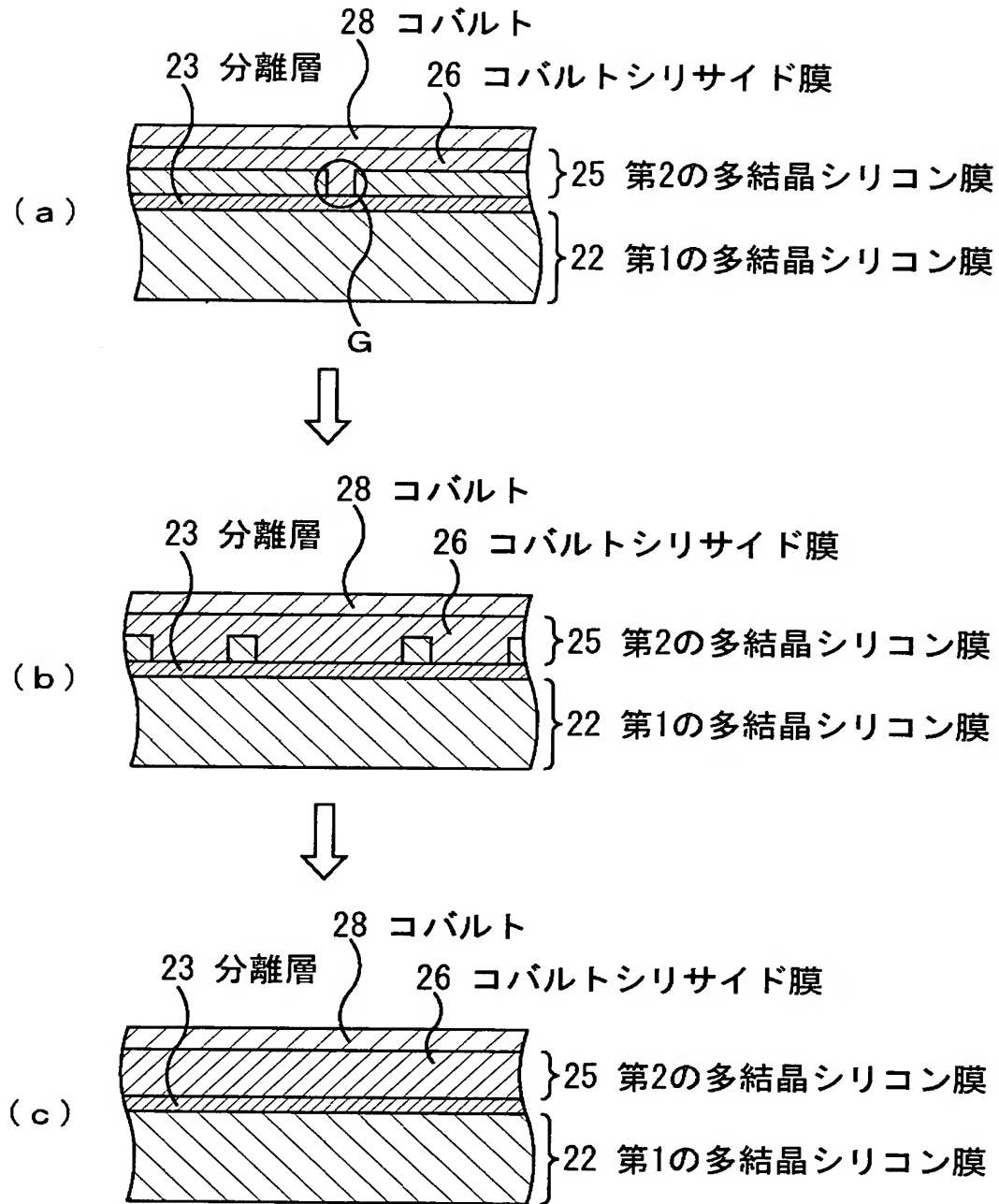
2 0 0 P M O S トランジスタ

【書類名】 図面

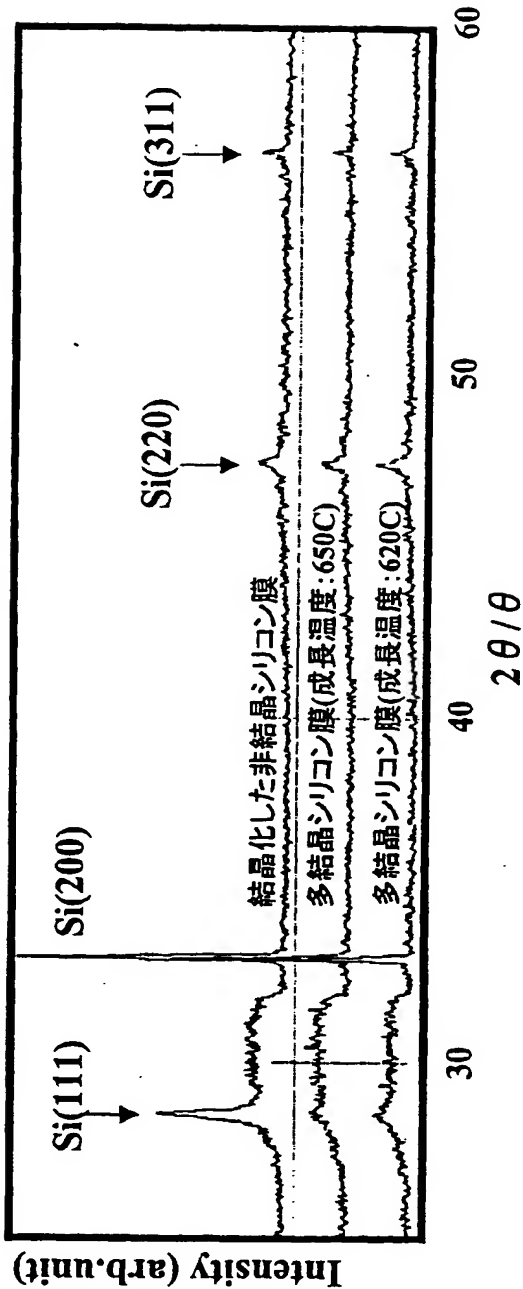
【図 1】



【図 2】



【図 3】

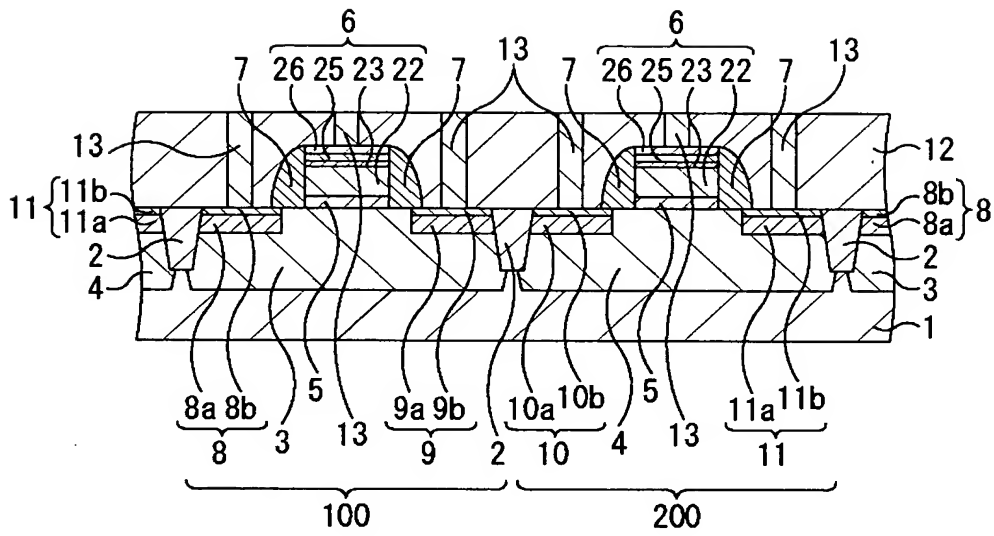


(a) 各種シリコン膜のX線回折結果

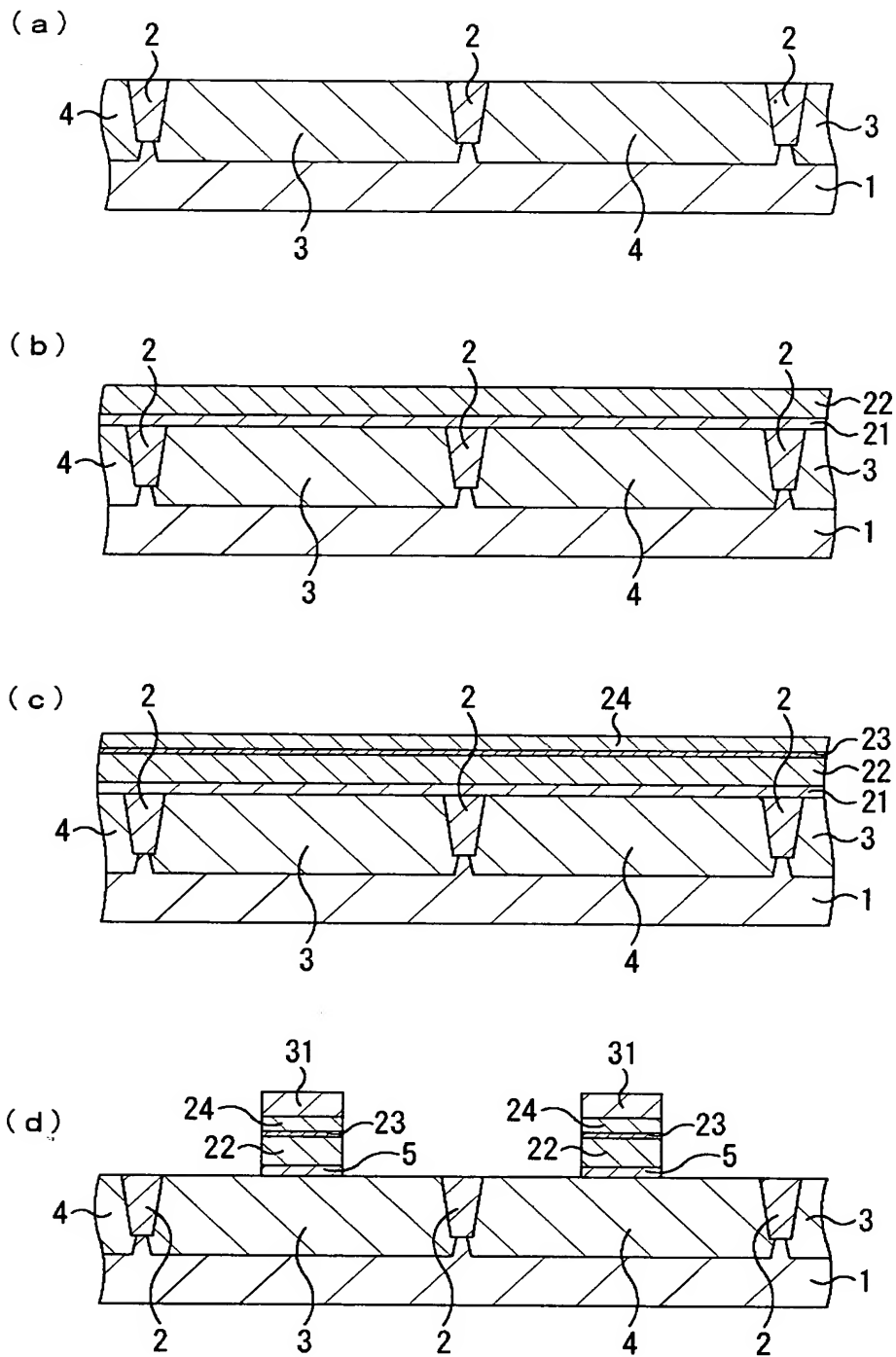
下地シリコン膜	シリサイド抵抗値
多結晶シリコン膜	7.2 (Ω/□)
非結晶シリコン膜	結晶化なし
	6.4 (Ω/□)
	結晶化あり
	5.7 (Ω/□)

(b) 各種シリコン膜上に形成したCoSi2抵抗

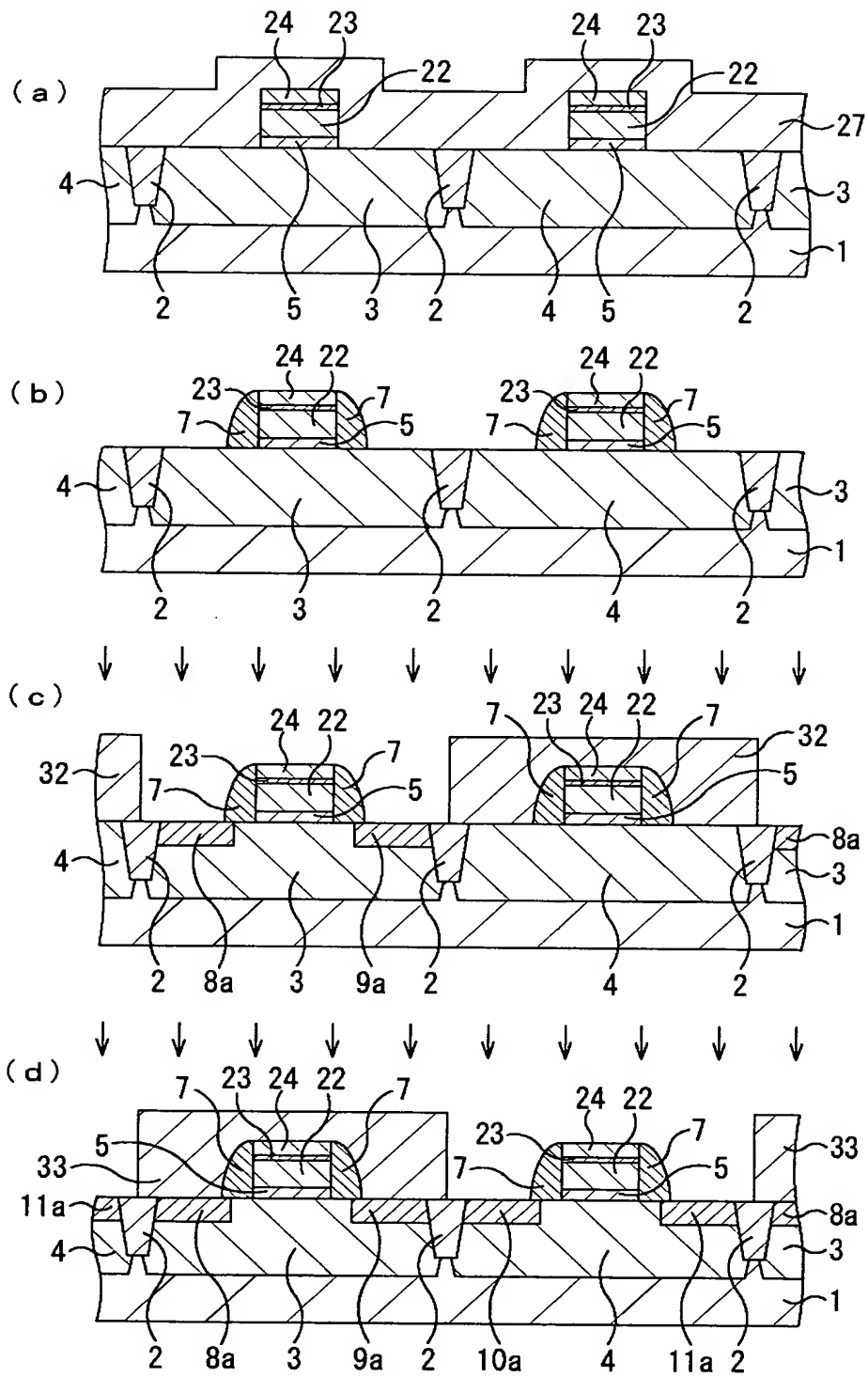
【図 4】



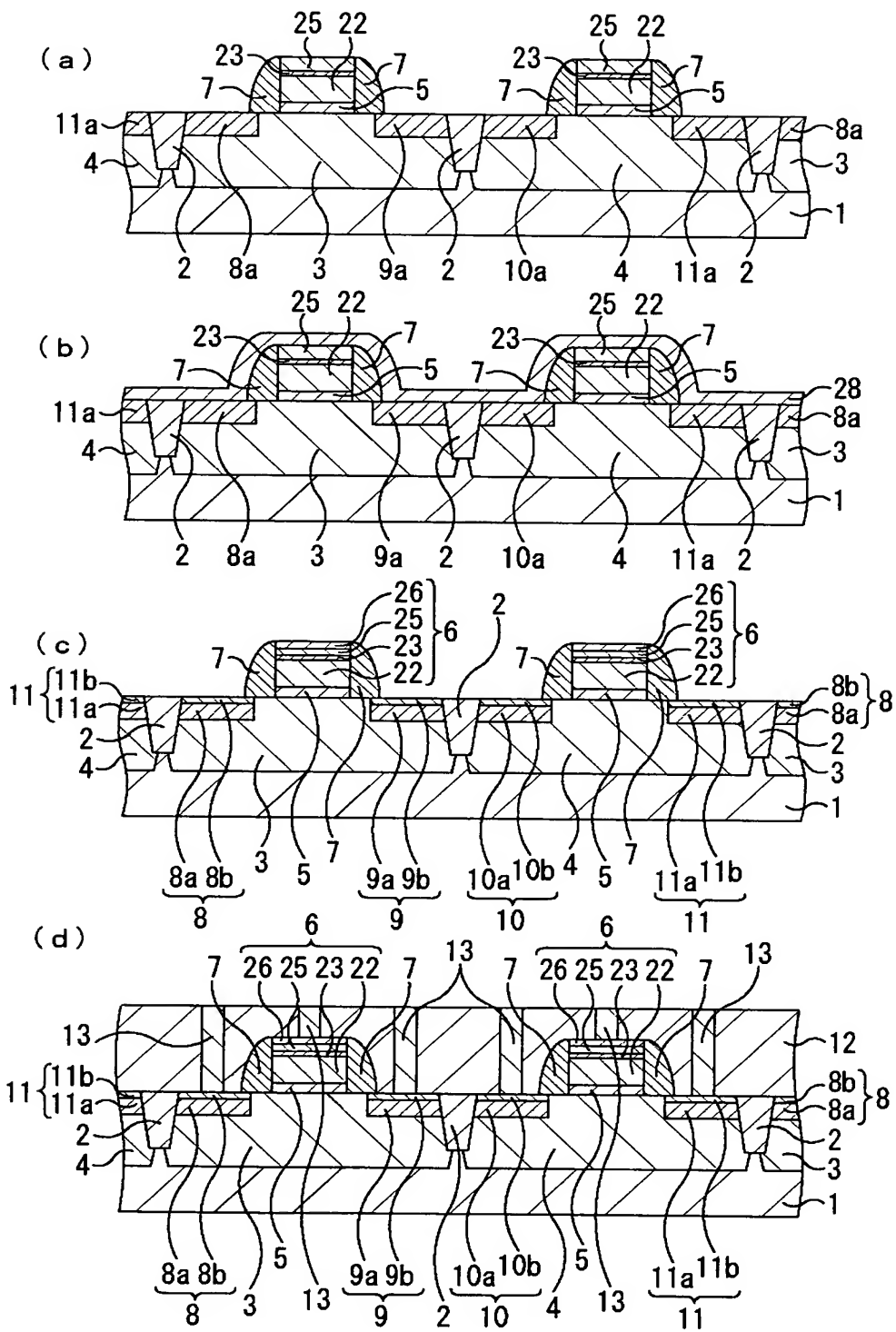
【図 5】



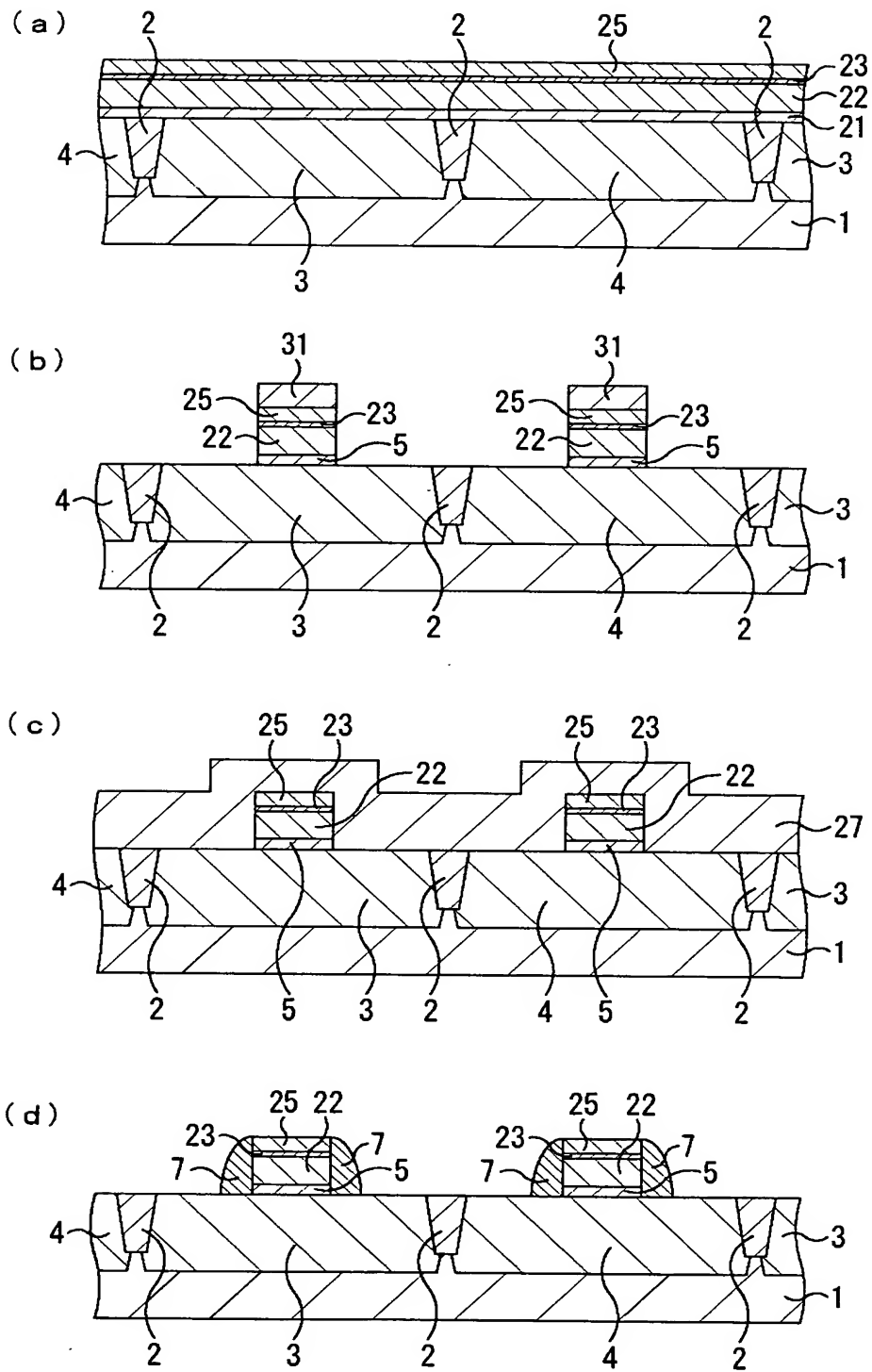
【図 6】



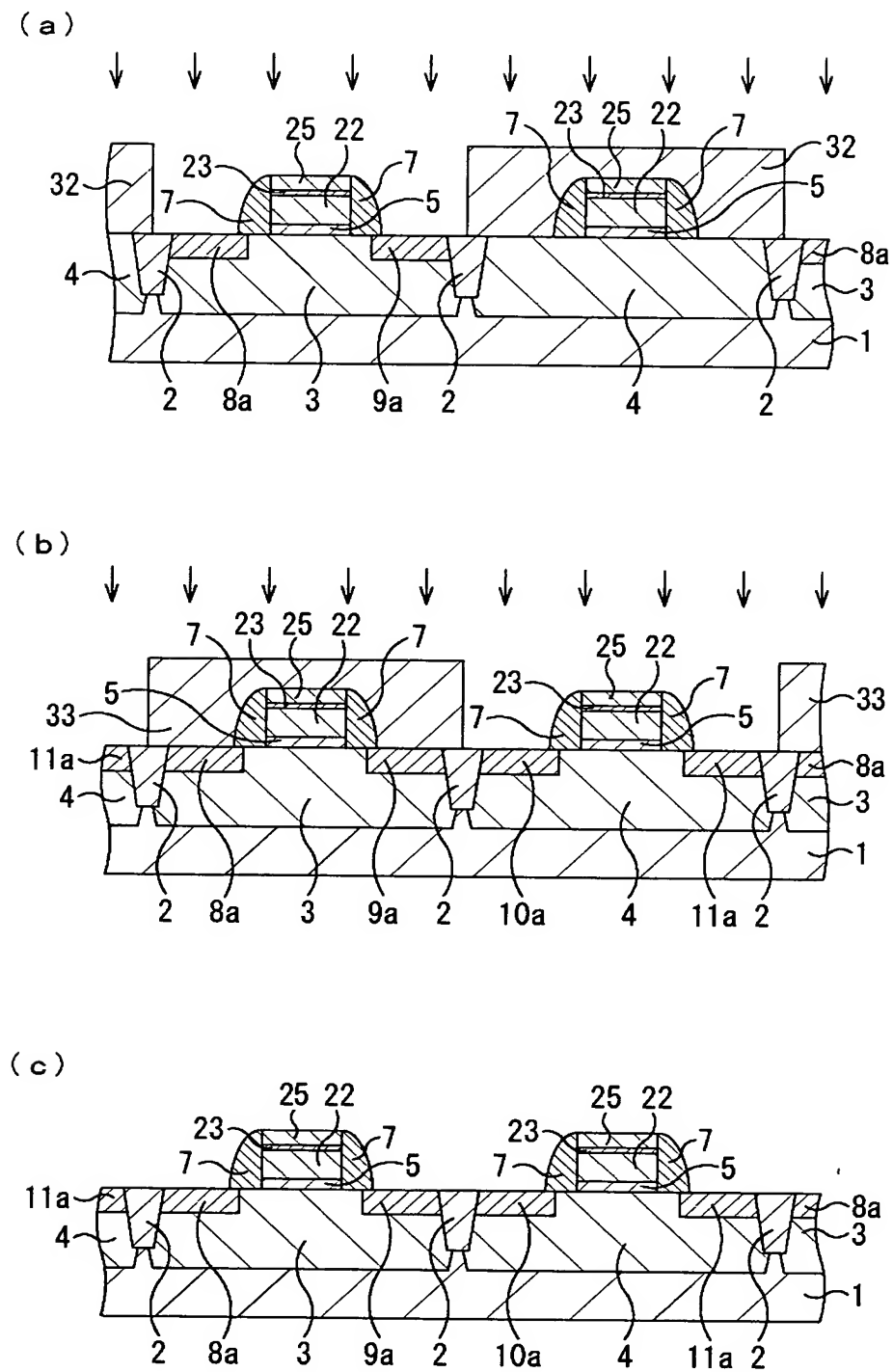
【図 7】



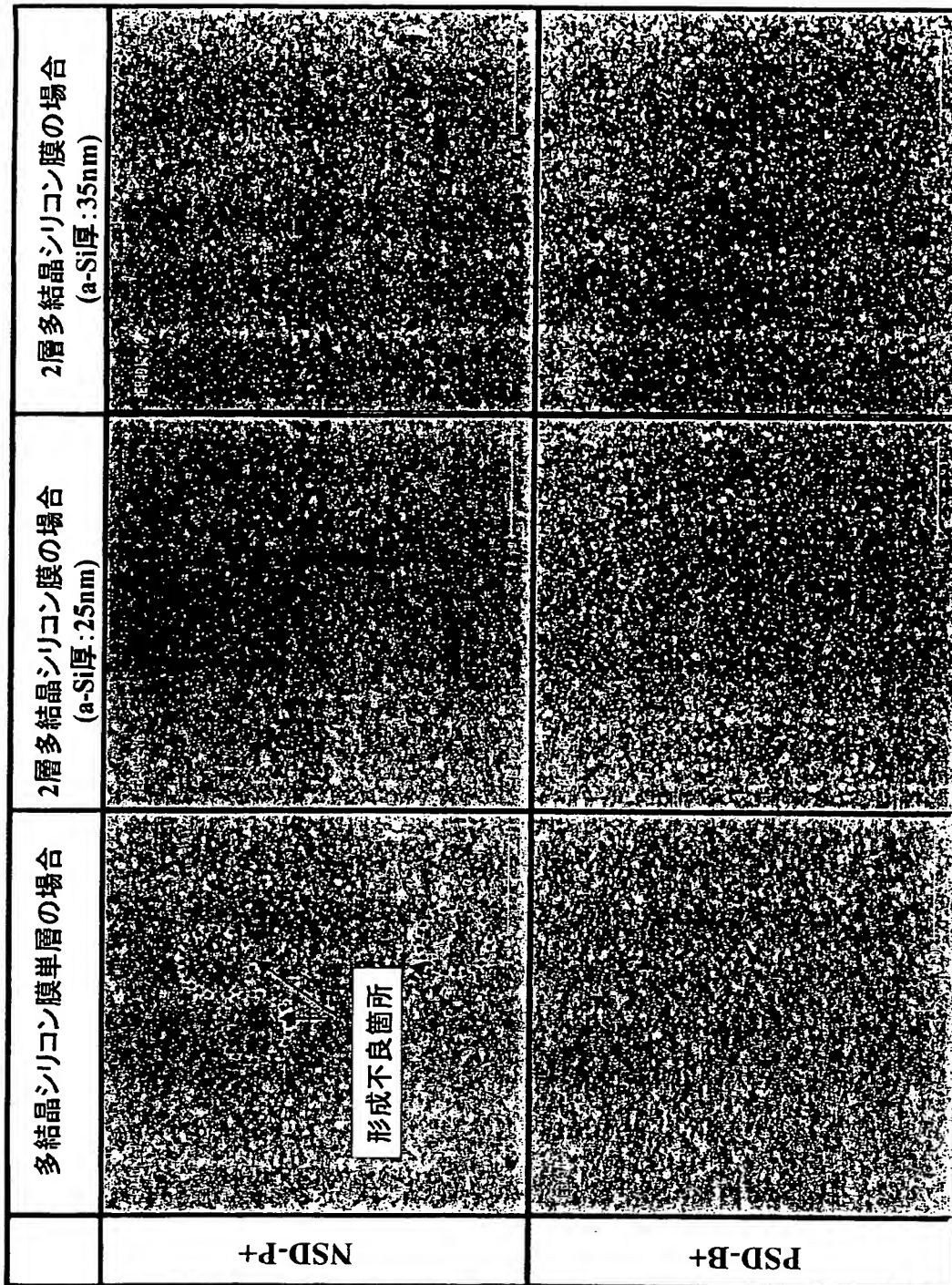
【図 8】



【图9】

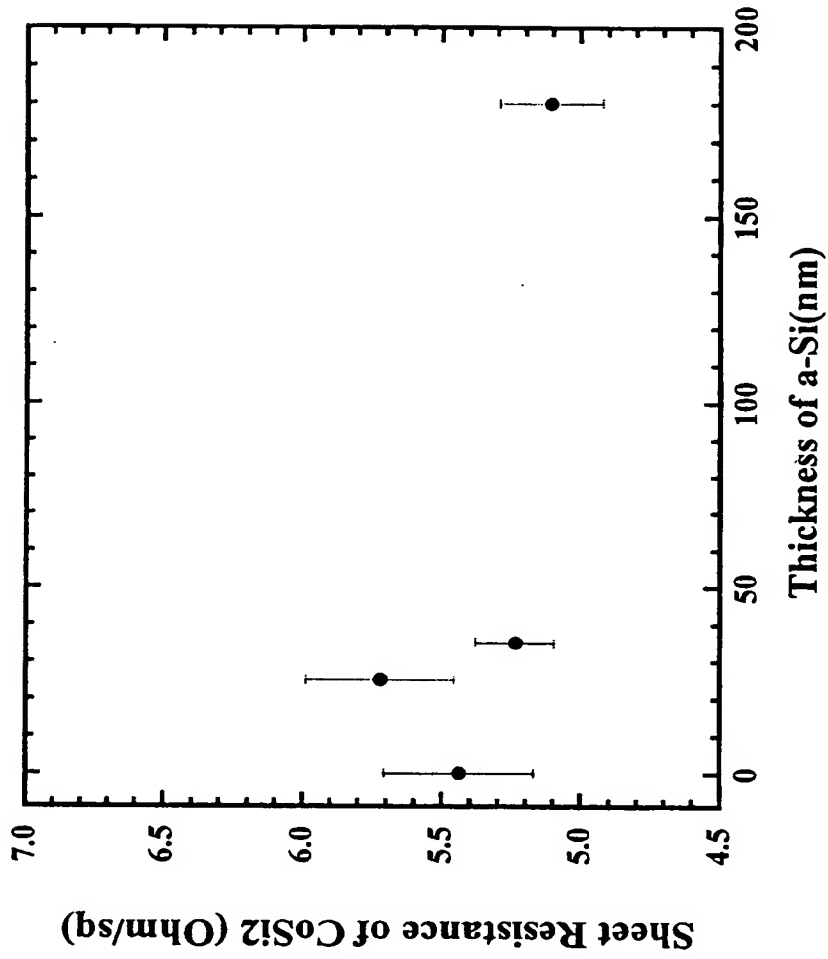


【図 1 0】



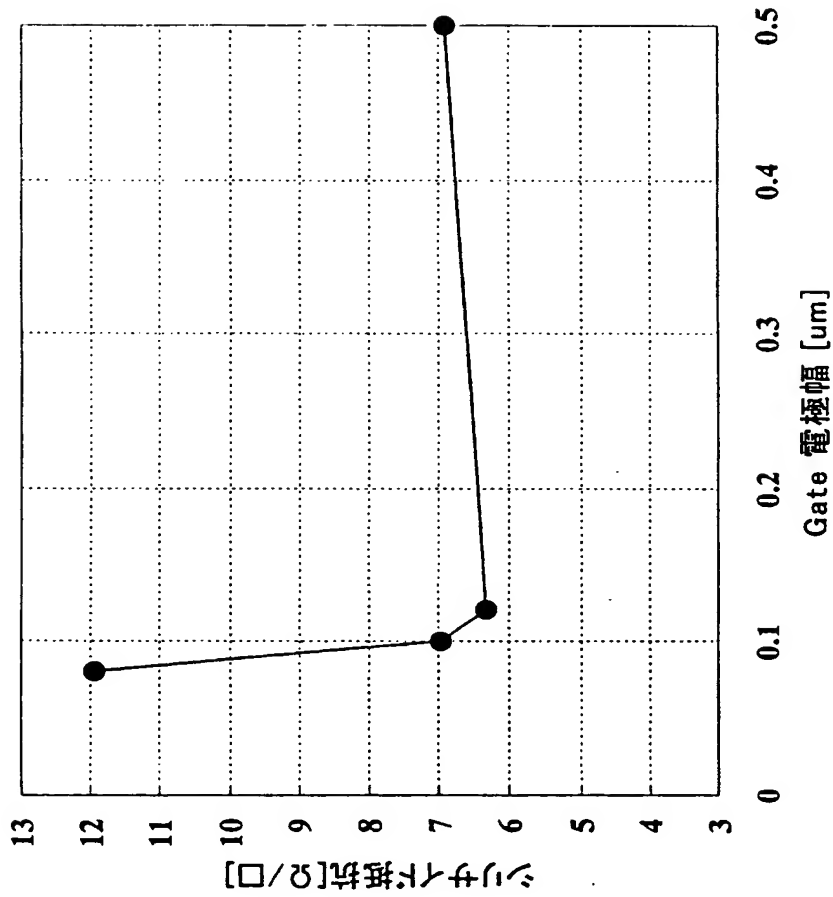
2層ゲート電極構造上のシリサイド表面写真

【図 1 1】



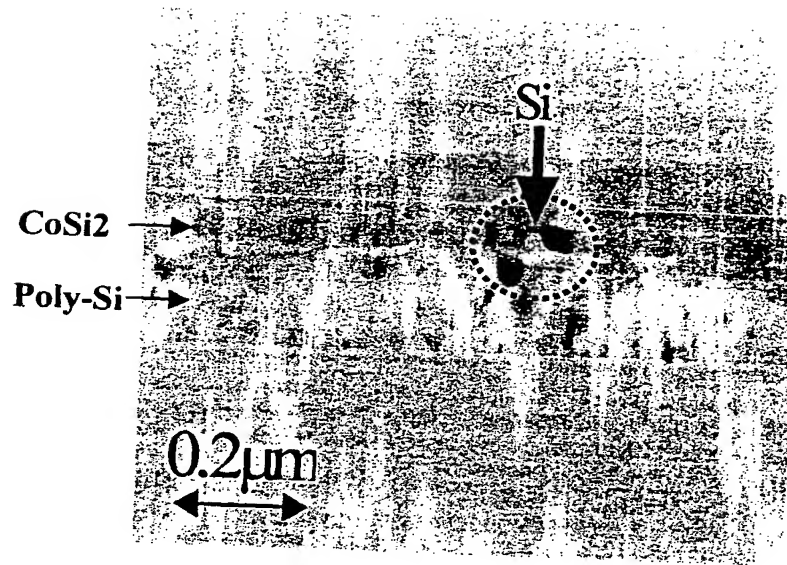
シリサイド抵抗の非結晶シリコン膜厚依存

【図 1 2】



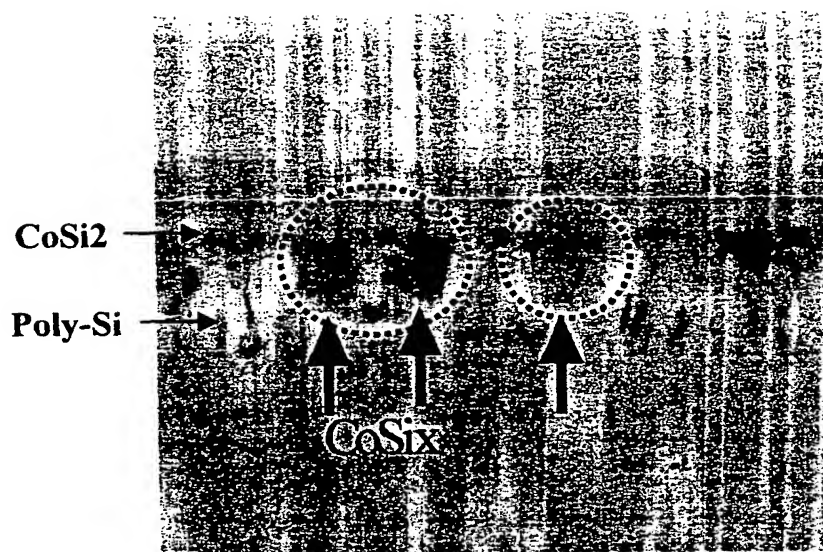
コバルトシリサイド抵抗の配線幅依存

【図 1 3】



CoSi2形成不良箇所の断面写真

【図 1 4】



断面写真で観測された
過剰なシリサイド反応箇所

【書類名】 要約書

【要約】

【課題】 細線効果によるゲート電極の抵抗値の増加を抑制するとともに、そのゲート電極の抵抗ばらつきを低減させ、かつゲート絶縁膜の劣化を防止する信頼性の高い半導体装置及びその製造方法を実現できるようにする。

【解決手段】 ゲート電極に、第 1 の多結晶シリコン膜 2 2 に対して、所定の結晶面方位が配向した、結晶粒径の小さい第 2 の多結晶シリコン膜 2 5 を第 1 の多結晶シリコン膜 2 2 上方に備えるようにして、第 2 の多結晶シリコン膜 2 5 にシリサイド層を形成するとき、シリサイド反応の速度が局所的に異なる箇所が存在する場合でも、第 1 の多結晶シリコン膜 2 2 とのシリサイド反応よりも、第 2 の多結晶シリコン膜 2 5 の未反応部分とのシリサイド反応を早く行なわせることができるようにする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [5 9 6 1 8 0 1 2 4]

1. 変更年月日 1 9 9 6 年 1 2 月 1 3 日

[変更理由] 新規登録

住 所 福島県会津若松市門田町工業団地 6 番

氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社